

대한민국특허청(KR)
공개특허공보(A)

Int. Cl.⁶
H 01 L 23/28

제 2231 호

공개일자 1997. 4. 30

공개번호 97-18448

출원일자 1996. 9. 19

출원번호 96-40841

우선권주장 1995. 9. 20 일본
95-241487

심사청구: 있음

발명자 시미즈 미쓰하루

일본국 나가노현 나가노시 오아자 구리따 아자 사리덴 711

신코오덴기 고오교오 가부시끼가이샤 내

출원인 신코오덴기 고오교오 가부시끼가이샤 취체역사장 모기 준이찌

일본국 나가노현 나가노시 오아자 구리따 아자 사리덴 711

대리인 변리사 문 기 상·조 기 호

(전 2 면)

반도체 패키지의 제조방법

요약

본 발명은 배선패턴의 본딩부의 접속성을 향상시켜, 신뢰성이 높은 반도체패키지를 확실히 얻을 수 있도록 한다.

캐비티(26)를 형성하는 구멍과 상기 구멍의 둘레부에 본딩부를 갖는 배선패턴(16)이 구비된 복수의 회로기판(10a)을 접착시트(14)에 의해 적층함과 동시에, 이들의 회로기판의 최인층에 캐비티를 밀폐하는 기판(10b)을 접착시트를 거쳐서 적층함으로써 적층체를 형성하고, 적층체에 상기 배선패턴과 외부접속단자를 접속하기 위한 관통구멍을 구비하고, 상기 관통구멍에 도금을 행한후, 캐비티의 상면을 밀폐하고 있는 기판(10b)에 캐비티를 형성하기 위한 개구를 형성하는 반도체패키지의 제조방법에 있어서, 상기 각 회로기판의 배선패턴을 형성한 면에 광광성레지스터(30)를 도포하고, 후공정에서 본딩부를 피복한 부위를 제거가능하게 하는 노광처리를 광광성레지스터(30)에 행함으로써 본딩부에 보호피막을 설비한 후, 회로기판(10a)을 적층하고, 캐비티(26)를 개구한 후 보호피막(30a)을 제거한다.

대표도 : 제2도

BEST AVAILABLE COPY

특허청구의 범위

1. 캐비티를 형성하는 구멍과 상기 구멍의 둘레부에 본딩부를 갖는 배선판턴이 구비된 복수의 회로기판을 각 회로기판사이에 접착시트를 개재시켜 적층함과 동시에, 이들의 회로기판의 최외층에 상기 복수층이 회로기판에 의해서 형성된 캐비티를 밀폐하는 기판을 접착시트를 거쳐서 적층함으로써 적층체를 형성하고, 상기 적층체에 상기 배선판턴과 외부접속단자를 접속하기 위한 관통구멍을 구비하고, 관통구멍에 도금을 행한후, 상기 캐비티의 상면을 밀폐하고 있는 기판에 캐비티를 형성하기 위한 개구를 형성하는 반도체패키지의 제조방법에 있어서, 상기 회로기판에 배선판턴을 형성한 면에 감광성레지스트를 도포하고, 후공정에서 본딩부를 피복한 부위를 제거가능하게 하는 노광처리를 상기 감광성레지스트에 행함으로써 상기 본딩부에 보호피막을 피복한후, 상기 회로기판을 적층하고, 상기 캐비티를 개구한, 후 상기 보호피막을 제거하는 것을 특징으로 하는 반도체패키지의 제조방법

2. 제1항에 있어서, 캐비티의 상면 및 하면을 밀폐하고 있는 기판에 캐비티를 형성하기 위한 개구를 형성하는 것을 특징으로 하는 반도체패키지의 제조방법

3. 제1항 또는 제2항에 있어서, 감광성레지스트로서 네가티브형레지스트를 사용하고, 배선판턴의 본딩부 이외를 노광처리한 후에 회로기판을 적층하는 것을 특징으로 하는 반도체패키지의 제조방법

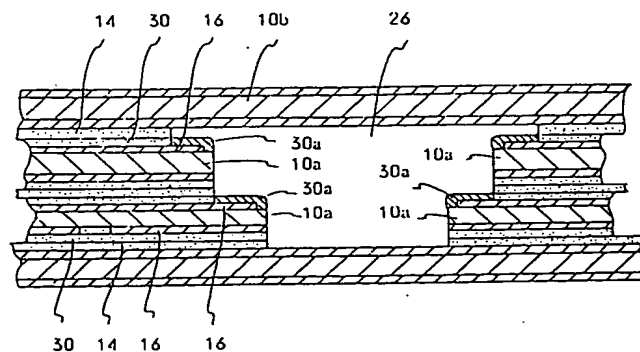
4. 제1항 내지 제2항에 있어서, 감광성레지스트로서 포지티브형레지스트를 사용하고, 배선판턴의 본딩부를 노광처리한 후에 회로기판을 적층하는 것을 특징으로 하는 반도체패키지의 제조방법

5. 제1항 내지 제4항 중 어느한항에 있어서, 보호피막을 용제등을 사용하여 용해제거하는 것을 특징으로 하는 반도체패키지의 제조방법.

도면의 간단한 설명

도2는 기판을 적층한 적층체의 단면도.

【도 2】



BEST AVAILABLE COPY